

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:

PATENT  
Attorney Docket No.: 16869P-015900  
Ref. No. 349901590US1

On

June 5, 2001.

TOWNSEND and TOWNSEND and CREW LLP

By:

Jim Lincal

RECEIVED

JUN 11 2001

Group 2100

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:

Yasuhiro Teramoto

Application No.: 09/741,980

Filed: December 19, 2000

For: CACHE DIRECTORY  
CONFIGURATION METHOD AND  
INFORMATION PROCESSING  
DEVICE

Examiner: Violet McCoy

Art Unit: 2185

**SUBMISSION OF PRIORITY  
DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Enclosed for filing is a certified copy of Japanese Patent Application No. P2000-076699 filed January 25, 2000, from which priority is claimed in the above-mentioned patent application.

Respectfully submitted,

Robert C. Colwell

Robert C. Colwell  
Reg. No. 27,431

TOWNSEND and TOWNSEND and CREW LLP  
Two Embarcadero Center, 8<sup>th</sup> Floor  
San Francisco, California 94111-3834  
Tel.: (650) 326-2400  
Fax: (650) 326-2422  
RCC:af1  
PA 3114874 v1



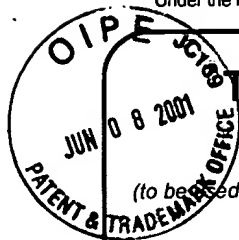
Please type a plus sign (+) inside this box → ☐

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number	09/741,980
Filing Date	December 19, 2000
First Named Inventor	Yasuhiro Teramoto
Group Art Unit	2185
Examiner Name	Violet McCoy
Attorney Docket Number	16869P-015900

Total Number of Pages in This Submission 28

RECEIVED  
JUN 11 2001  
Group 2100

## ENCLOSURES (check all that apply)

<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition Routing Slip (PTO/SB/69) and Accompanying Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): 1) Submission of Priority Document 2) Return Receipt Postcard
Remarks		The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm and Individual name	Townsend and Townsend and Crew LLP Robert C. Colwell	Reg No. 27,431
Signature		
Date	June 5, 2001	

## CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on this date:

June 5, 2001

Typed or printed name Ann Lincoln

Signature

Date

June 5, 2001

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231  
PA 3149327 v1



CERTIFIED COPY OF  
PRIORITY DOCUMENT

16269P-015000

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

RECEIVED  
JUN 11 2001  
Group 2100

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日  
Date of Application:

2000年 3月17日

願番号  
Application Number:

特願2000-076699

願人  
Applicant(s):

株式会社日立製作所

2000年11月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 K9015901

【提出日】 平成12年 3月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G06K 12/08

【発明者】

    【住所又は居所】 神奈川県秦野市堀山下 1 番地 株式会社 日立製作所  
                                 エンタープライズサーバ事業部内

    【氏名】 寺本 康弘

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社 日立製作所

    【代表者】 庄山 悦彦

【代理人】

    【識別番号】 100073760

    【弁理士】

    【氏名又は名称】 鈴木 誠

【手数料の表示】

    【予納台帳番号】 011800

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュディレクトリ構成方法および情報処理装置

【特許請求の範囲】

【請求項 1】 複数の処理装置で主記憶装置を共有し、各処理装置が主記憶装置の一部の写しを保持するキャッシュ記憶部を具備する情報処理装置において、処理装置のキャッシュ記憶部と主記憶装置との間の一致を保証するための、処理装置のキャッシュ記憶部が保持するアドレスタグの写しを保持するキャッシュディレクトリの構成方法であって、

キャッシュディレクトリを複数の分割し、該分割した複数のキャッシュディレクトリを用いて、複数の検索要求を同時に処理可能としたことを特徴とするキャッシュディレクトリ構成方法。

【請求項 2】 請求項 1 記載のキャッシュディレクトリ構成方法において、キャッシュディレクトリを構成する各エントリのアドレスタグを複数の分割し、検索要求に対して、該当エントリの分割したアドレスタグビット部分で不一致であれば、該検索処理を終了し、一致した場合に、該当エントリの分割した他のアドレスタグビット部分を検索することを特徴とするキャッシュディレクトリ構成方法。

【請求項 3】 請求項 1 記載のキャッシュディレクトリ構成方法において、キャッシュディレクトリを複数の異ったエントリ群に分割し、該分割した各エントリ群を独立に動作可能としたことを特徴とするキャッシュディレクトリ構成方法。

【請求項 4】 主記憶装置の一部の写しを保持するキャッシュ記憶部を各々内蔵する複数の処理装置と、

各々異なるアドレス空間を有して独立に並列動作が可能な複数バンク構成をとり、複数の処理装置で共有される主記憶装置と、

複数の処理装置のキャッシュ記憶部と主記憶装置との間の一致を保証するための、各処理装置のキャッシュ記憶部が保持するアドレスタグの写しを保持する複数のキャッシュディレクトリとして、各々、複数の分割された独立に並列動作が可能な構成のキャッシュディレクトリを備え、各キャッシュディレクトリに対し

、複数の検索要求を同時に処理するコヒーレンス制御装置と、  
を具備することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の処理装置と該複数の処理装置が共有する主記憶装置からなる情報処理装置において、各処理装置が内蔵するキャッシュ記憶部と主記憶装置との間の一致（コヒーレンス）を保証するためのキャッシュディレクトリ構成方法およびそれを適用した情報処理装置に関する。

【0002】

【従来の技術】

複数の処理装置で主記憶装置を共有し、各処理装置が各々主記憶装置の一部の写しを保持するキャッシュ記憶部を具備するマルチプロセッサ構成の情報処理装置においては、一般に各処理装置が内蔵するキャッシュ記憶部と主記憶装置との間の一致（コヒーレンス）を保証するためにコヒーレンス制御装置を備えている。コヒーレンス制御装置は、各処理装置ごとに、当該処理装置のキャッシュ記憶部が保持しているアドレスタグ（キャッシュタグ）のコピーであるキャッシュディレクトリを備え、他処理装置が主記憶装置に対し書込みを行った場合、該書込みを行った処理装置以外の処理装置のキャッシュディレクトリを検索し、もし書込みアドレスと一致するアドレスタグが登録されていれば、当該処理装置に対してキャッシュ記憶部の該当エントリの無効化を報告する。

【0003】

図6に、従来のキャッシュディレクトリの構成例を示す。ここで、キャッシュディレクトリ600は、一つの処理装置のキャッシュ記憶部が保持しているアドレスタグのコピーであり、コヒーレンス制御装置内には、該キャッシュディレクトリ600が処理装置の数だけ存在する。処理装置が主記憶装置からキャッシュ記憶部へブロック転送を行い、新たにアドレスタグを登録する場合、キャッシュディレクトリインデックスインターフェース601を介し、リード／ライトポインタ611の指し示すキャッシュディレクトリ600の該当エントリに、キャッ

キャッシュディレクトリ登録アドレスインターフェース602を介し、同じアドレスタグを登録する。一方、他処理装置が主記憶装置に対して書き込みを行った場合、キャッシュディレクトリインデックスインターフェース601を介し、リード/ライトポインタ611の指し示すキャッシュディレクトリ600の内容を読み出し、読出しレジスタ612に格納し、該読出しレジスタ612の内容とストアアドレスインターフェース603を介し格納されたストアアドレスレジスタ613の内容を比較器614で比較し、一致した場合、インターフェース604を介し、当該処理装置にキャッシュエントリの無効化を報告する。

#### 【0004】

##### 【発明が解決しようとする課題】

複数の処理装置で共有される主記憶装置は、一般に各々異ったアドレス空間を有して独立に並列動作が可能なバンク構成をとり、処理装置との間で高いスループットを有しており、近年のさらなる高速化の要求に伴い、キャッシュディレクトリも主記憶装置と同等のスループットを持つことが必要となってきた。しかし、図6に示したような従来のキャッシュディレクトリ構成では、キャッシュディレクトリの読出しパスは1本しか存在しないので、キャッシュディレクトリの検索性能は1であり、スループットの向上は期待できない。

#### 【0005】

キャッシュディレクトリ検索性能を2倍にするためには、図7に示すように、図6のキャッシュディレクトリ600と同じ内容を登録しているキャッシュディレクトリ700をもう一つ用意することが考えられる。処理装置が主記憶装置からキャッシュ記憶部へブロック転送を行い、新たにアドレスタグを登録する場合、キャッシュディレクトリインデックスインターフェース721を介し、各々、リード/ライトポインタ611、711の指し示すキャッシュディレクトリ600、700の該当エントリに、キャッシュディレクトリ登録アドレスインターフェース722を介し、同じアドレスタグを登録する。一方、2つのキャッシュディレクトリ検索要求に対しては、各々独立に、キャッシュディレクトリインデックスインターフェース601、701を介し、リード/ライトポインタ611、711の指し示すキャッシュディレクトリ600、700の内容を読み出し、読

出しレジスタ612、712に格納し、これら読出しレジスタ612、712の内容とストアアドレスインターフェース603、703を介し格納されたストアアドレスレジスタ613、713の内容とを比較器614、714で比較し、比較結果をインターフェース604、704に出力する。

【0006】

図7のキャッシュディレクトリ構成をとることにより、キャッシュディレクトリの検索性能は2倍になるが、キャッシュディレクトリの物量も2倍必要となる。しかも、これは各処理装置ごとに必要となる。

【0007】

処理装置のキャッシュ記憶部はますます大容量の傾向にあり、高いキャッシュディレクトリの検索性を実現するためには、大きなハードウェア物理を投入する必要がある。かたや、キャッシュディレクトリのハードウェア物理は、昨今の大容量キャッシュ構成で複数の処理装置を接続する情報処理装置においては、無視できないものであり、ハードウェア物理を押さえて高いキャッシュディレクトリ検索性を実現する必要がある。

【0008】

本発明の目的は、複数の処理装置のキャッシュ記憶部と主記憶装置との間の一致保証するためのキャッシュディレクトリのハードウェアの物量を抑え、かつ高いキャッシュディレクトリ検索性能を実現するキャッシュディレクトリ構成方法およびそれを適用した情報処理装置を提供することである。

【0009】

【課題を解決するための手段】

本発明は、複数の処理装置のキャッシュ記憶部と主記憶装置間の一致を保証するための各処理装置のキャッシュ記憶部を保持するアドレスタグの写しである本来の各キャッシュディレクトリを、各々、複数の分割して独立に並列動作が可能な構成として、各キャッシュディレクトリに対し、複数の検索要求を同時に処理できるようにしたことである。これにより、キャッシュディレクトリのハードウェアの物理を抑え、従来より高いキャッシュディレクトリ検索性能が実現する。

【0010】



## 【発明の実施の形態】

以下、本発明の一実施例を図面を用いて具体的に説明する。なお、実施例では処理装置は2つとするが、勿論、本発明はこれに限定されるものでないことは言うまでもない。

## 【0011】

図1は、本発明の一実施例にかかる情報処理装置のシステム構成図である。本実施例の情報処理装置は、2台の処理装置110、120と、主記憶制御装置130と主記憶装置140とコヒーレンス制御装置150から構成される。各処理装置110、120は、各々主記憶装置140の一部の写し（コピー）を保持するキャッシュ記憶部111、121と該キャッシュ記憶部111、121に記憶されているブロックの主記憶領域のアドレスを保持するキャッシュタグ112、122を有する。さらに、各処理装置110、120のキャッシュ記憶部111、121と主記憶装置140間の一致（コヒーレンス）を保証するために、コヒーレンス制御装置150は、各処理装置110、120のキャッシュ記憶部111、121が保持しているキャッシュタグ112、122のコピーであるキャッシュディレクトリ151、152を備えている。各処理装置110、120は主記憶制御装置130との間をインターフェース161、162により接続され、主記憶制御装置130は、主記憶装置140、コヒーレンス制御装置150との間を各々インターフェース170、180により接続されている。コヒーレンス制御装置150は、各処理装置110、120との間をインターフェース191、192により接続されている。

## 【0012】

処理装置110は、リード要求が発生すると、キャッシュ記憶部111を参照し、目的のデータがキャッシュ記憶部111に存在すれば、該キャッシュ記憶部111から直接目的のデータを読み出す。一方、目的のデータがキャッシュ記憶部111に存在しないと、処理装置110は、インターフェース161、主記憶制御装置130、インターフェース170を介して、目的のデータを含むブロックを主記憶装置140からキャッシュ記憶部111へ転送し、あらためてキャッシュ記憶部111から目的のデータを読み出すとともに、キャッシュ記憶部111

1に格納した当該ブロックの主記憶領域のアドレス（アドレスタグ）をキャッシュタグ112に登録する。また、処理装置110は、ライト要求が発生すると、インターフェース161、主記憶制御装置130、インターフェース170を介して、主記憶装置140に書き込みを行うとともに、キャッシュ記憶部111に旧データが存在すれば、それを書き替える。処理装置120の動作も、この処理装置110の動作と同様である。

#### 【0013】

主記憶制御装置130は、各処理装置110、120からの主記憶アクセスのプライオリティをとり、インターフェース170を介し順次、主記憶装置140に対しアクセスを行なうと共に、インターフェース180を介し、コヒーレンス制御装置150に対して処理装置IDを付加して主記憶アクセス情報を転送する。

#### 【0014】

主記憶装置140は、主記憶制御装置130からの主記憶アクセスに従い、所定領域に新しい内容の書き込み（ライト）を行い、また、所定領域から内容の読み出し（リード）を行なう。主記憶装置140は、各々異ったアドレス空間を有し、独立に並列動作が可能なバンク構成をとる。

#### 【0015】

コヒーレンス制御装置150は、各処理装置110、120が持つキャッシュ記憶部111、121と主記憶装置140間の一致を保証するために、主記憶制御装置130から転送される各処理装置110、120の主記憶アクセス情報を常に監視し、各処理装置110、120のキャッシュ記憶部111、121が保持しているキャッシュタグ112、122のコピーであるキャッシュディレクトリ151、152を更新したり、検索する。具体的には、例えば、処理装置110が主記憶装置140からブロックを読み出し、キャッシュ記憶部111に格納し、キャッシュタグ112に新たにアドレスタグを登録する場合は、コヒーレンス制御装置150は、該処理装置110のキャッシュディレクトリ151に同じアドレスタグを登録する。また、他処理装置120が主記憶装置170に対し書き込みを行なった場合には、コヒーレンス制御装置150は、該処理装置120以

外の処理装置 1 1 0 のキャッシュディレクトリ 1 5 1 を検索し、もし書込みのアドレスと一致するアドレスタグが、処理装置 1 1 0 内のキャッシュ記憶部 1 1 1 のキャッシュタグ 1 1 2 に登録されていることが判明したならば、そのキャッシュエントリを無効化する要求を処理装置 1 1 0 に対しインターフェース 1 9 1 を介して行なう。処理装置 1 2 0 に対応するキャッシュディレクトリ 1 5 2 の更新、検索についても同様である。

#### 【 0 0 1 6 】

キャッシュディレクトリにより、各処理装置内のキャッシュ記憶部と主記憶装置との間の一致が常に保証されていることとなり、ソフトウェアはコヒーレンス制御に関する処理を行わず、高速にマルチプロセッサでの処理が可能となる。本発明は、このキャッシュディレクトリの構成に関する。

#### 【 0 0 1 7 】

図 2 は、本発明の一実施例のキャッシュディレクトリ周辺の構成図であり、便宜上、図 2 は処理装置 1 1 0 のキャッシュ記憶部が保持するキャッシュタグ 1 1 2 のコピーであるキャッシュディレクトリ 1 5 1 に対応するとする。本実施例のキャッシュディレクトリ周辺は、キャッシュディレクトリ 2 1 0、2 2 0 と、キャッシュディレクトリ 2 1 0、2 2 0 のリード／ライトポインタ 2 1 1、2 2 1 と、読出しレジスタ 2 1 2、2 2 2 と、ストアアドレスレジスタ 2 1 3、2 2 3 と、比較器 2 1 4、2 2 4 と、比較結果ディレイヤ 2 1 5、2 2 5 と、アンド回路 2 1 6、2 2 6 と、インデックスディレイヤ 2 1 7、2 2 7 と、ストアアドレスディレイヤ 2 1 8、2 2 8 と、インデックスのセクタ 2 1 9 - 1、2 2 9 - 1 と、ストアアドレスのセクタ 2 1 9 - 2、2 2 9 - 2 などから構成される。2 0 1 と 2 0 2 は主記憶ストアアクセス情報のキャッシュディレクトリインデックスインターフェース、2 0 3 と 2 0 4 は主記憶ストアアクセス情報のストアアドレスインターフェース、2 0 5 は主記憶リードアクセス情報のキャッシュディレクトリインデックスインターフェース、2 0 6 は主記憶リードアクセス情報のアドレスタグインターフェースである。

#### 【 0 0 1 8 】

キャッシュディレクトリ 2 1 0、2 2 0 は、一つの処理装置（ここでは、処理

装置 110) のキャッシュ記憶部が保持するキャッシュタグの写しを保持するものである。ただし、本実施例では、キャッシュタグを構成する各エントリのアドレスタグの全ビットを論理的に半分に分割し、キャッシュディレクトリ 210 とキャッシュディレクトリ 220 に各々登録する。すなわち、キャッシュディレクトリ 210 とキャッシュディレクトリ 220 は同じ内容を登録しているわけではなく、アドレスタグとして必要な全ビットの半分ずつを記憶している。

#### 【0019】

キャッシュディレクトリ 210、220 のリード／ライトポインタ 211、221 は、各々キャッシュディレクトリ 210、220 の内容を読み書きするエントリのポインタである。読出しレジスタ 212、222 は、各リード／ライトポインタ 211、221 が指し示した個所のキャッシュディレクトリ 210、220 のエントリから読み出された内容を格納するレジスタである。ストアアドレスレジスタ 213、223 は、各キャッシュディレクトリ 210、220 の検索を行なうアドレス、すなわち、他処理装置が主記憶装置に対し行なった書込みのアドレスの半分ずつを格納するレジスタである。比較器 214、224 は、各々読出しレジスタ 212、222 とストアアドレスレジスタ 213、223 の内容を比較する論理である。比較結果ディレイヤ 215、225 は、比較器 214、224 の出力結果を一時的にディレイするものである。アンド回路 216、226 は、比較結果ディレイヤと他方の比較結果との論理積をとるものであり、比較最終結果はインターフェース 191 により処理装置（ここでは、処理装置 110）に報告される。このアンド回路 216、226 の結果がキャッシュディレクトリ 210、220 の該当エントリの全ビットを比較した最終結果となる。インデックスディレイヤ 217、227 は、各々、一方のキャッシュディレクトリの内容と一致した場合に反対のキャッシュディレクトリの内容を検索するためのインデックスの一時的なディレイヤである。同様に、ストアアドレスディレイヤ 218、228 は、各々、一方のキャッシュディレクトリの内容と一致した場合に反対のキャッシュディレクトリの内容を検索するためのストアアドレスの一時的なディレイヤである。セレクト 219-1、229-1 は、リード／ライトポインタ 211、221 へ送る内容（キャッシュディレクトリインデックス）を通常のパス

かディレイヤのパスかに切り替えるためのセレクトタである。セレクトタ219-2、229-2は、各々ストアアドレスレジスタ213、223へ送る内容（ストアアドレスの半分）を通常のパスかディレイヤのパスかに切り替えるためのセレクトタである。

#### 【0020】

図3は、キャッシュディレクトリ210、220に分割して登録されるアドレスタグの具体的イメージを説明する図である。キャッシュディレクトリ200は本来キャッシュディレクトリとして必要な全ての情報を有している。すなわち、キャッシュディレクトリ200内の任意のエントリ2001は、当該処理装置のアドレス記憶部が保持するキャッシュタグ内の1つのアドレスタグのコピーであり、ここでは20ビットの情報を有しているとする。本実施例では、このキャッシュディレクトリ200の各エントリを構成するビット（アドレスタグ）を、奇数ビットと偶数ビットで2つに分けて、各々、キャッシュディレクトリ210とキャッシュディレクトリ220としている。すなわち、一方のキャッシュディレクトリ210内の該当するエントリ2101は、キャッシュディレクトリ200内のエントリ2001の情報のうち偶数ビットのみを有し、他方のキャッシュディレクトリ220内の同じく該当するエントリ2201は、キャッシュディレクトリ200内のエントリ2001の情報のうち奇数ビットのみを有するようにする。これにより、キャッシュディレクトリのハードウェア物量は同じで、お互いは本来のキャッシュディレクトリとして必要な半分の情報しか有していないが、お互いが独立に動作可能である利点をもつ。なお、図3では、アドレスタグを奇数ビットと偶数ビットに分けるとしたが、分け方は、アドレスタグの前半と後半、2ビットや3ビット単位など、どのように分けてもよい。

#### 【0021】

図1において、コピーレンス制御装置150は、主記憶制御装置130から転送される処理装置110、120の主記憶リードアクセス情報、主記憶ストアアクセス情報をキューイングして、主記憶リードアクセス情報のキャッシュディレクトリインデックスとリードアドレスの組は自処理装置に対応するキャッシュディレクトリに送り、主記憶ストアアクセス情報のキャッシュディレクトリインデ

ックスとストアアドレスの組は他処理装置に対応するキャッシュディレクトリに送る。ここで、特に主記憶ストアアクセス情報のインデックスとストアアドレスの組については、複数の主記憶ストアアクセス情報がキューイングされている場合、2組のインデックスとストアアドレスを該当するキャッシュディレクトリに送る。キャッシュディレクトリは、この2組のインデックスとストアアドレスを同時に処理する。すなわち、実施例では、キャッシュディレクトリは最大で同時に2つの検索リクエストを処理し、二つのキャッシュディレクトリ151、152では、最大で同時に合計4つの検索リクエストを処理できる。

#### 【0022】

以下では、処理装置110側のキャッシュディレクトリ151であるキャッシュディレクトリ210、220に着目し、図2の動作について詳述する。

#### 【0023】

はじめ、キャッシュディレクトリ210、220を更新（登録）する動作について説明する。自処理装置110の主記憶リードアクセス情報のキャッシュディレクトリインデックス（以下、単にインデックスという）は、インターフェース205を介してリード／ライトポインタ211、221に格納され、主記憶リードアドレス（アドレスタグ）は、インターフェース206を介して、その半分（例えば偶数ビット）はキャッシュディレクトリ210に入力し、残りの半分（例えば奇数ビット）はキャッシュディレクトリ220に入力される。この結果、キャッシュディレクトリ210では、リード／ライトポインタ211が指し示すエントリにアドレスタグの半分が格納され、キャッシュディレクトリ220では、リード／ライトポインタ221が指し示す同じエントリにアドレスタグの残り半分が格納される。

#### 【0024】

次に、キャッシュディレクトリ210、220を検索する動作について説明する。通常、セクタ219-1、229-1はインターフェース201、202を選択し、セクタ219-2、229-2はインターフェース203、204を選択している。他処理装置120の主記憶ライトアクセス情報のインデックスはインターフェース201を介して与えられ、そのライトアドレスはインターフ

ェース 2 0 3 を介して与えられる。この時、さらに、他処理装置 1 2 0 の主記憶ライトアクセス情報が存在する場合、そのインデックスはインターフェース 2 0 2 を介して与えられ、ライトアドレスはインターフェース 2 0 4 を介して与えられる。以下では、インターフェース 2 0 1、2 0 3 のパスのインデックスとライトアドレスの組を例に動作を説明するが、インターフェース 2 0 2、2 0 4 のパスのインデックスとライトアドレスの組の動作も、検索するキャッシュディレクトリとの関係が逆になるだけで基本的には同様である。

#### 【 0 0 2 5 】

インターフェース 2 0 1 からのインデックスは、インデックスディレイヤ 2 2 7 に退避されると共に、セクタ 2 1 9 - 1 を通過してリード／ライトポインタ 2 1 1 に格納される。この結果、キャッシュディレクトリ 2 1 0 において、リード／ライトポインタ 2 1 1 が指し示すエントリの内容（例えば、アドレスタグの偶数ビット）が読み出され、読出しレジスタ 2 1 2 に格納される。一方、インターフェース 2 0 3 からのストアアドレスは、その半分（例えば奇数ビット）がストアアドレスディレイヤ 2 2 8 に退避されると共に、その残りの半分（例えば偶数ビット）はセクタ 2 1 9 - 2 を通過し、ストアアドレスレジスタ 2 1 3 に格納される。該ストアアドレスレジスタ 2 1 3 の内容と読出しレジスタ 2 1 2 の内容を比較器 2 1 4 で比較し、一致していなければ、当該ライトリクエストに対するキャッシュディレクトリの検索処理は終了する。

#### 【 0 0 2 6 】

もし、一致していた場合には、この一致は図 3 のキャッシュディレクトリ 2 0 0 のエントリの半分の内容との一致でしかないため、残りの半分との比較を行なうために、反対側のキャッシュディレクトリ 2 2 0 の検索を行なう。この場合、インターフェース 2 0 2、2 0 4 のパスに対するキャッシュディレクトリ 2 2 0 の検索終了をまって、比較器 2 1 4 の比較結果（論理 1）を比較結果ディレイヤ 2 2 5 に設定すると共に、該比較結果の信号を受けて、反対側のセクタ 2 2 9 - 1 とセクタ 2 2 9 - 2 を切り替える。これにより、インデックスディレイヤ 2 2 7 に退避してあるインデックスがセクタ 2 2 9 - 1 を通過し、リード／ライトポインタ 2 2 1 に格納され、キャッシュディレクトリ 2 2 0 において、該リ

ード／ライトポインタ 2 2 1 が指し示すエントリの内容（例えばアドレスタグの奇数ビット）が読み出され、読出しレジスタ 2 2 2 に格納される。さらに、ストアアドレスディレイヤ 2 2 8 に退避してあるストアアドレスの半分（例えば、奇数ビット）がセレクタ 2 2 9 - 2 を通過し、ストアアドレスレジスタ 2 2 3 に格納される。該ストアアドレスレジスタ 2 2 3 の内容と読出しレジスタ 2 2 2 の内容を比較器 2 2 4 で比較し、その比較結果と前記比較器 2 1 4 の比較結果を一時的に比較結果ディレイヤ 2 2 5 でディレイしたものと、アンド回路 2 2 6 で論理積をとる。この結果が図 3 のキャッシュディレクトリ 2 0 0 の該当エントリの全ビットの比較した最終結果となる。この最終結果が真の時、ストアアドレスとキャッシュディレクトリの内容とが一致したということで、インターフェース 1 9 1 を介し、処理装置 1 1 0 に対してキャッシュ記憶部 1 1 1 の該当エントリの無効化を報告する。

#### 【 0 0 2 7 】

本実施例は、キャッシュディレクトリの内容、すなわち、各処理装置がもつキャッシュのアドレスタグと、各処理装置が主記憶装置に対して行なう書込み動作において、お互いのアドレスが似ている場合には、同時に 2 つのキャッシュディレクトリ検索ができるが、処理に 2 サイクルかかるので、あまりメリットはない。しかし、今般の大容量の主記憶装置を備え、各処理装置がなるべく主記憶のアドレスを局所的に使用する場合には、キャッシュディレクトリのアドレスタグの半分のビット比較でもストアアドレスとは不一致と判断できる場合が多く、コヒーレンス制御装置は、ほとんどの時間において、処理装置ごとに同時に 2 つのキャッシュディレクトリの検索リクエストを処理できるメリットがある。また、図 1 では、便宜上、処理装置は 2 台としたが、処理装置が 3 台以上になると、そのメリットはさらに向上する。

#### 【 0 0 2 8 】

図 4 は、本発明の他の実施例のキャッシュディレクトリ周辺の構成図であり、図 2 と同様に、図 1 の処理装置 1 1 0 キャッシュ記憶部 1 1 1 が保持するキャッシュタグ 1 1 1 のコピーである一つのキャッシュディレクトリ 1 5 1 に対応するものである。本実施例のキャッシュディレクトリ周辺は、キャッシュディレクト



リ410、420と、各キャッシュディレクトリ410、420のリードライトポインタ411、421と、読出しレジスタ412、422と、ストアアドレスレジスタ413、423と、比較器414、424から構成される。401と402は主記憶リードアクセス情報や主記憶ストアアクセス情報のインデックスインターフェース、403と404は主記憶リードアクセス情報のリードアドレスインターフェース、405と406は主記憶ストアアクセス情報のアドレスインターフェースである。

#### 【0029】

キャッシュディレクトリ410、420は、一つの処理装置のキャッシュ記憶部が保持するキャッシュタグの写しである一つのキャッシュディレクトリ（ここでは、図1の151）に対応する。ただし、本実施例では、該キャッシュディレクトリのエントリを半分ずつに分割し、キャッシュディレクトリ410とキャッシュディレクトリ420に分割して登録することで、各キャッシュディレクトリ410、420を独立に動作可能なバンク構成として、キャッシュディレクトリの登録・検索性能を向上させるものである。すなわち、キャッシュディレクトリ410とキャッシュディレクトリ420は同じ内容を登録しているわけではなく、エントリ毎で半分ずつを記憶している。

#### 【0030】

キャッシュディレクトリ410、420のリード／ライトポインタ411、421は、キャッシュディレクトリ410、420の内容を読み書きする場合のポインタである。読出しレジスタ412、422は、キャッシュディレクトリ410、420のリード／ライトポインタ411、421が指し示した個所のエントリの内容を格納するレジスタである。ストアアドレスレジスタ413、423は、キャッシュディレクトリの検索を行なうアドレス、すなわち、他処理装置が主記憶装置に対し行なった書込みのアドレスを格納するレジスタである。比較器414、424各々読出しレジスタ412、422とストアアドレスレジスタ413、423の内容を比較する論理である。

#### 【0031】

図5は、キャッシュディレクトリ410、420に分割して登録するエントリ

の具体的イメージを説明する図である。キャッシュディレクトリ 4 0 0 は本来キャッシュディレクトリとして必要な全ての情報を有している。ここでは、キャッシュディレクトリ 4 0 0 は処理装置のキャッシュ記憶部が保持するキャッシュタグのコピーとして 1 0 個のエントリを有している。先の実施例では、エントリのアドレスタグのビットにより分割したが、本実施例では、キャッシュディレクトリのエントリ 4 0 0 を、奇数エントリと偶数エントリで 2 つに分けて、各々キャッシュディレクトリ 4 1 0 とキャッシュディレクトリ 4 2 0 としている。これにより、キャッシュディレクトリのハードウェア物量は同じで、お互いは本来のキャッシュディレクトリとして必要な半分のエントリしか有していないが、お互いが独立に動作可能である利点をもつ。なお、図 5 では、奇数エントリと偶数エントリで 2 つに分けたが、例えば前半エントリと後半エントリで分けることでもよい。

#### 【 0 0 3 2 】

図 4 では、エントリによりキャッシュディレクトリを 2 つに分割しているため、キャッシュディレクトリの検索において、検索先のエントリが、例えば、一方が奇数エントリで他方が偶数エントリと異なれば、2 つのキャッシュディレクトリ検索リクエストを、キャッシュディレクトリ 4 1 0 とキャッシュディレクトリ 4 2 0 で同時に処理することが可能であり、分割する前の構成と比較し、キャッシュディレクトリの物量は同じながらキャッシュディレクトリの検索性能は 2 倍得ることができる。さらに、キャッシュディレクトリの登録においても、登録先のエントリが同様に異なれば、2 つのキャッシュディレクトリ登録リクエストをキャッシュディレクトリ 4 1 0 とキャッシュディレクトリ 4 2 0 で同時に処理することが可能である。また、検索先のエントリと登録先のエントリが異なれば、キャッシュディレクトリ検索リクエストとキャッシュディレクトリ登録リクエストを同時に処理することも可能である。図 4 の動作は、お互いが独立に動作可能なメモリのバンク構成の動作と基本的に同様であるため省略する。

#### 【 0 0 3 3 】

以上、図 2 や図 4 では、キャッシュディレクトリを 2 つに分割するとしたが、これは単なる一実施例であり、勿論、原理的に 3 つあるいはそれ以上に分割して

もよいことは云うまでもない。

【 0 0 3 4 】

【発明の効果】

以上述べたように、本発明によれば、大容量のキャッシュ記憶部を備えた複数の処理装置が主記憶装置に接続されたマルチプロセッサシステムにおいて、ハードウェアによるキャッシュ一致保証を行うための装置として、複数処理装置のキャッシュ記憶部が保持するアドレスタグの写しであるキャッシュディレクトリを用意するコヒーレンス制御装置を備える場合、キャッシュディレクトリの物量を抑え、かつ高いキャッシュディレクトリ検索性能を実現することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の一実施例の情報処理装置に係わる全体的ブロック図である。

【図 2】

本発明の第 1 の実施例のキャッシュディレクトリ周辺のブロック図である。

【図 3】

図 2 のキャッシュディレクトリのビット分割に関する説明図である。

【図 4】

本発明の第 2 の実施例のキャッシュディレクトリ周辺のブロック図である。

【図 5】

図 4 のキャッシュディレクトリのエン트리分割に関する説明図である。

【図 6】

従来のコヒーレンス制御装置に係わる要部ブロック図である。

【図 7】

キャッシュディレクトリをコピーで持つ場合の、従来のコヒーレンス制御装置に係わる要部ブロック図である。

【符号の説明】

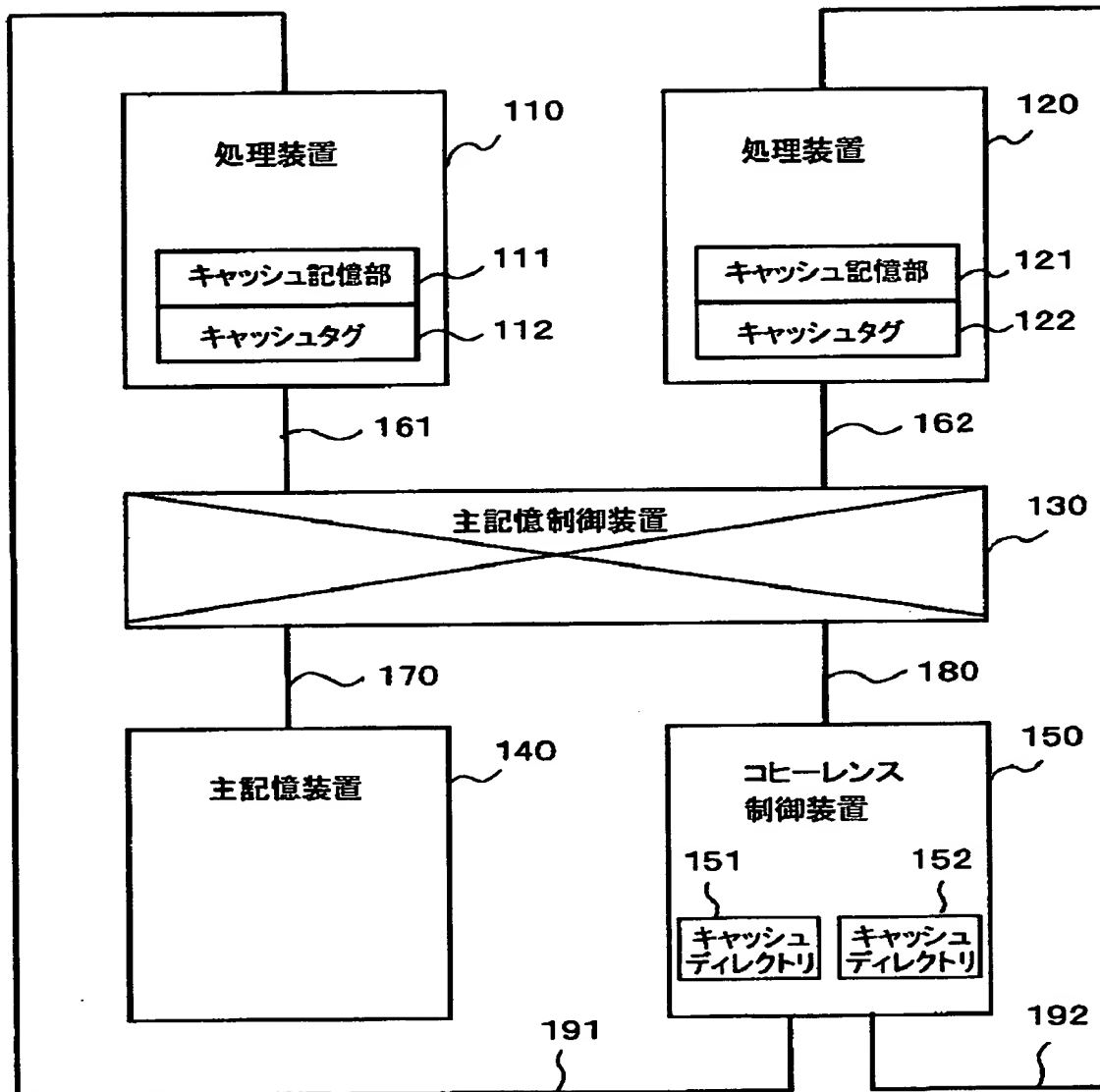
1 1 0、1 2 0 処理装置

1 1 1、1 2 1 キャッシュ記憶部

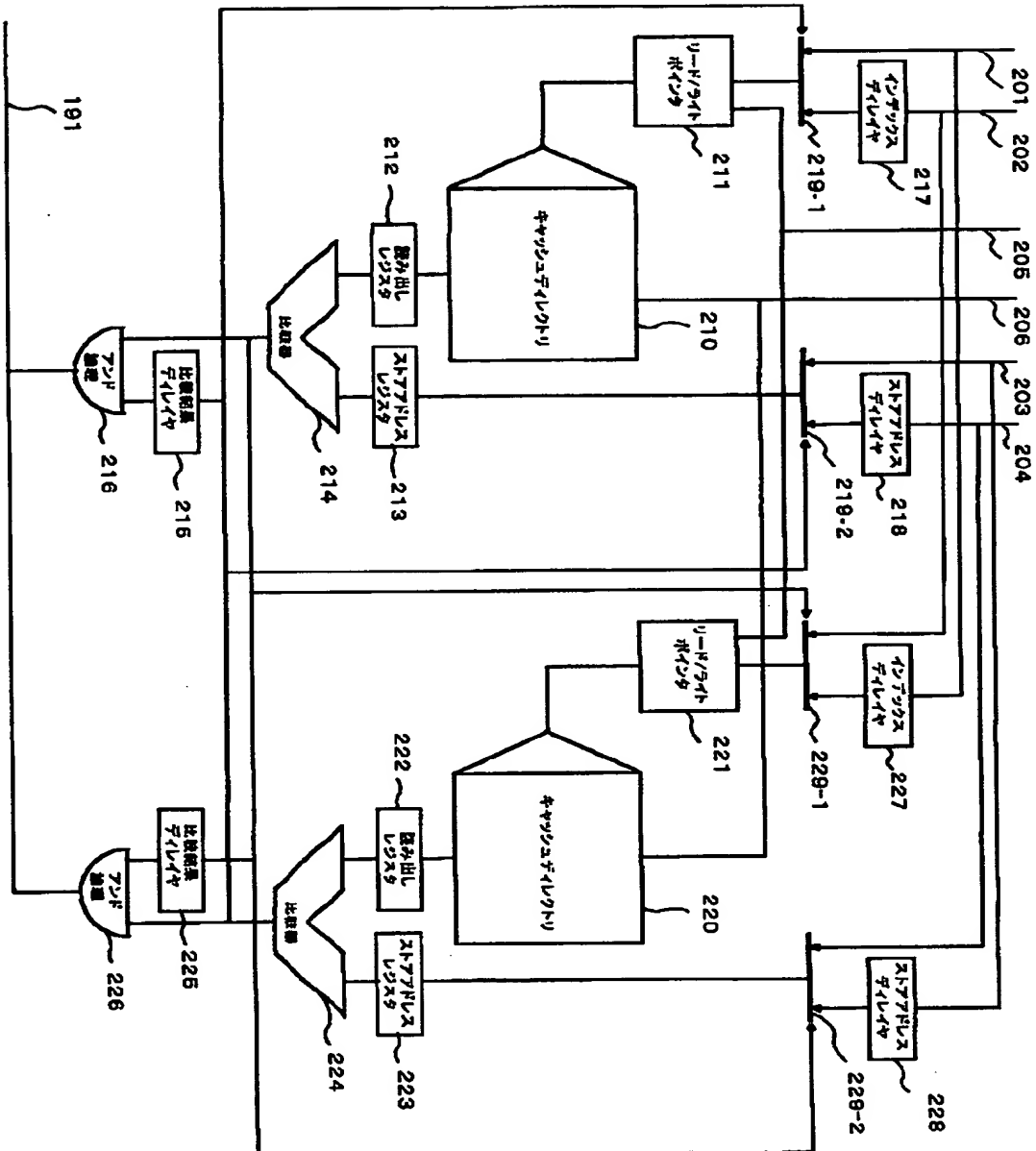
- 1 1 2、1 2 2 キャッシュタグ
- 1 3 0 主記憶制御装置
- 1 4 0 主記憶装置
- 1 5 0 コヒーレンス制御装置
- 1 5 1、1 5 2 キャッシュディレクトリ
- 2 1 1、2 2 0 ビット分割のキャッシュディレクトリ
- 4 1 0、4 2 0 エントリ分割のキャッシュディレクトリ

【書類名】 図面

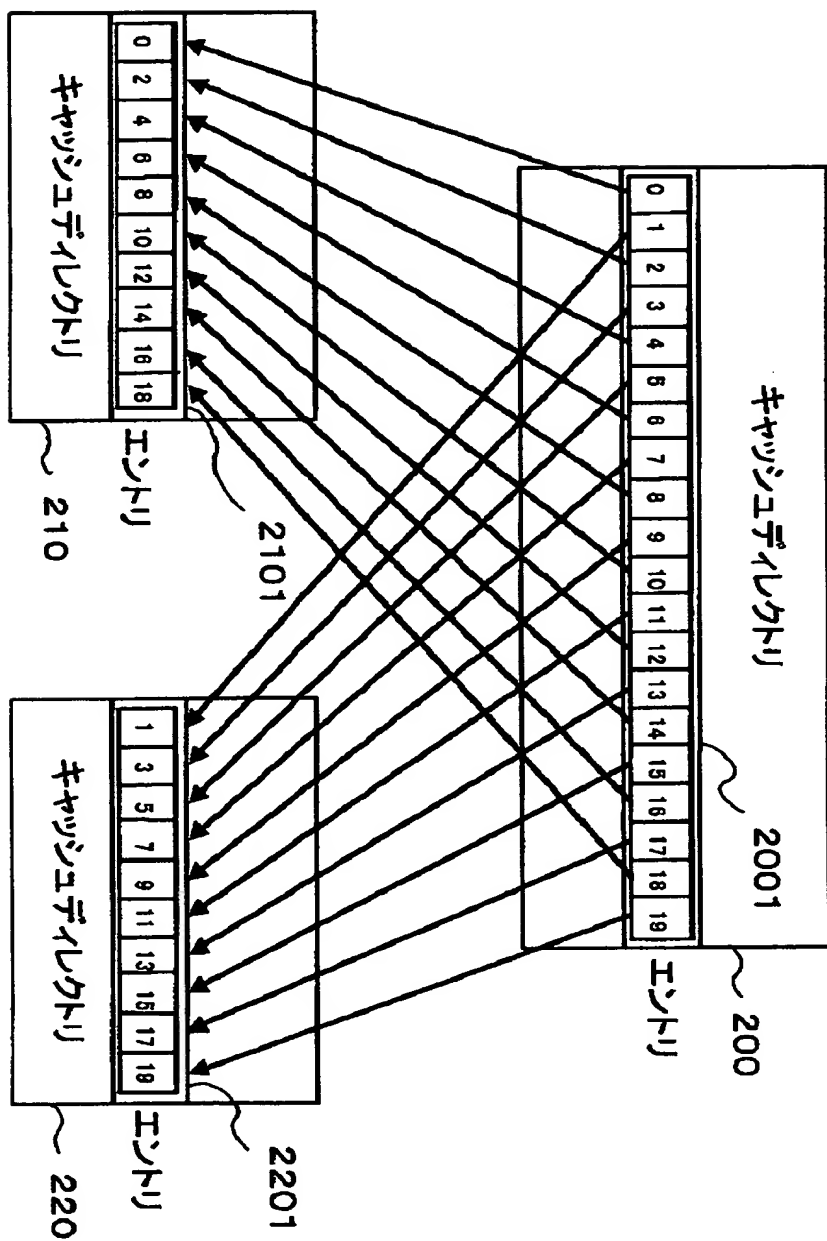
【図1】



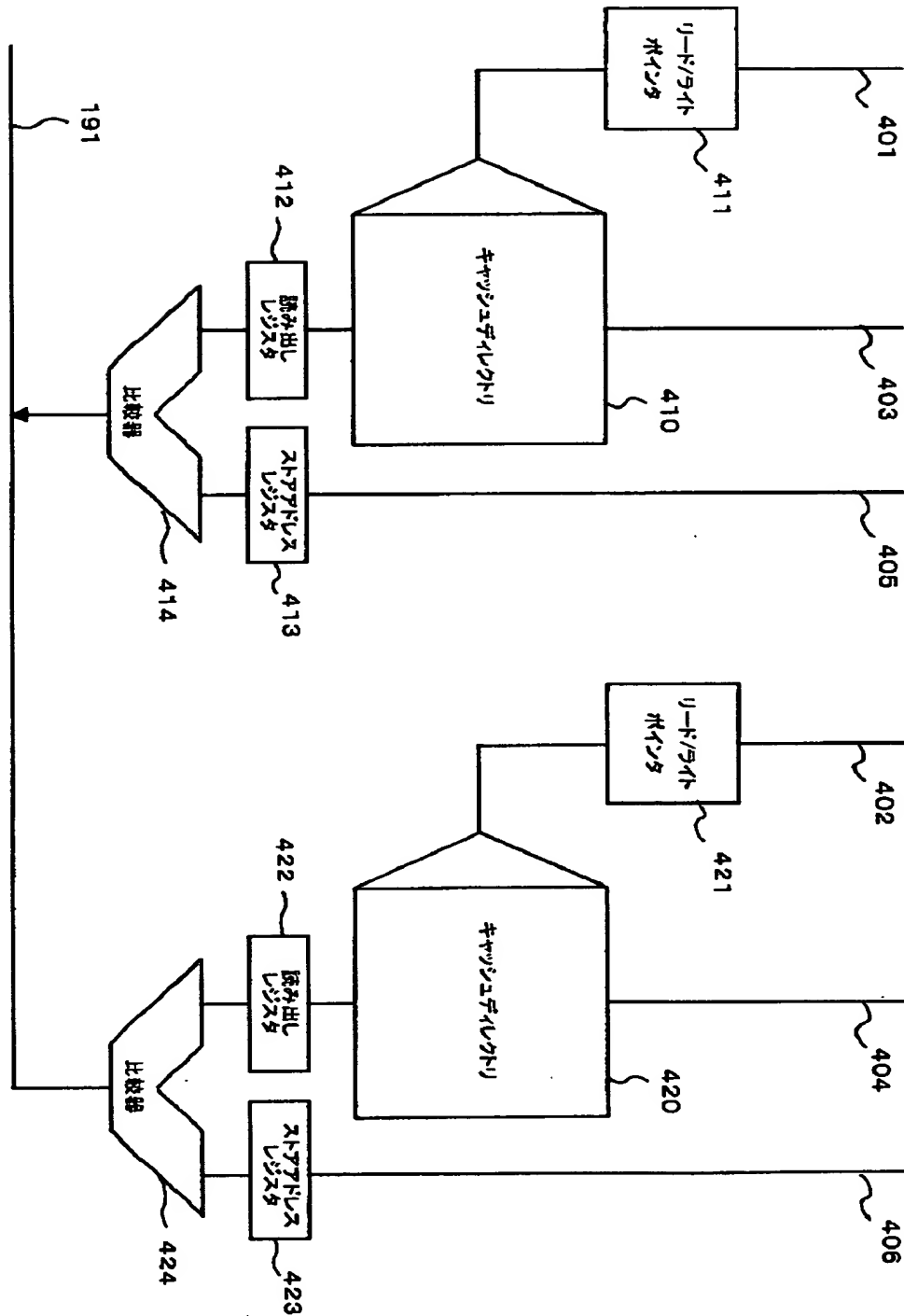
【図 2】



【図3】

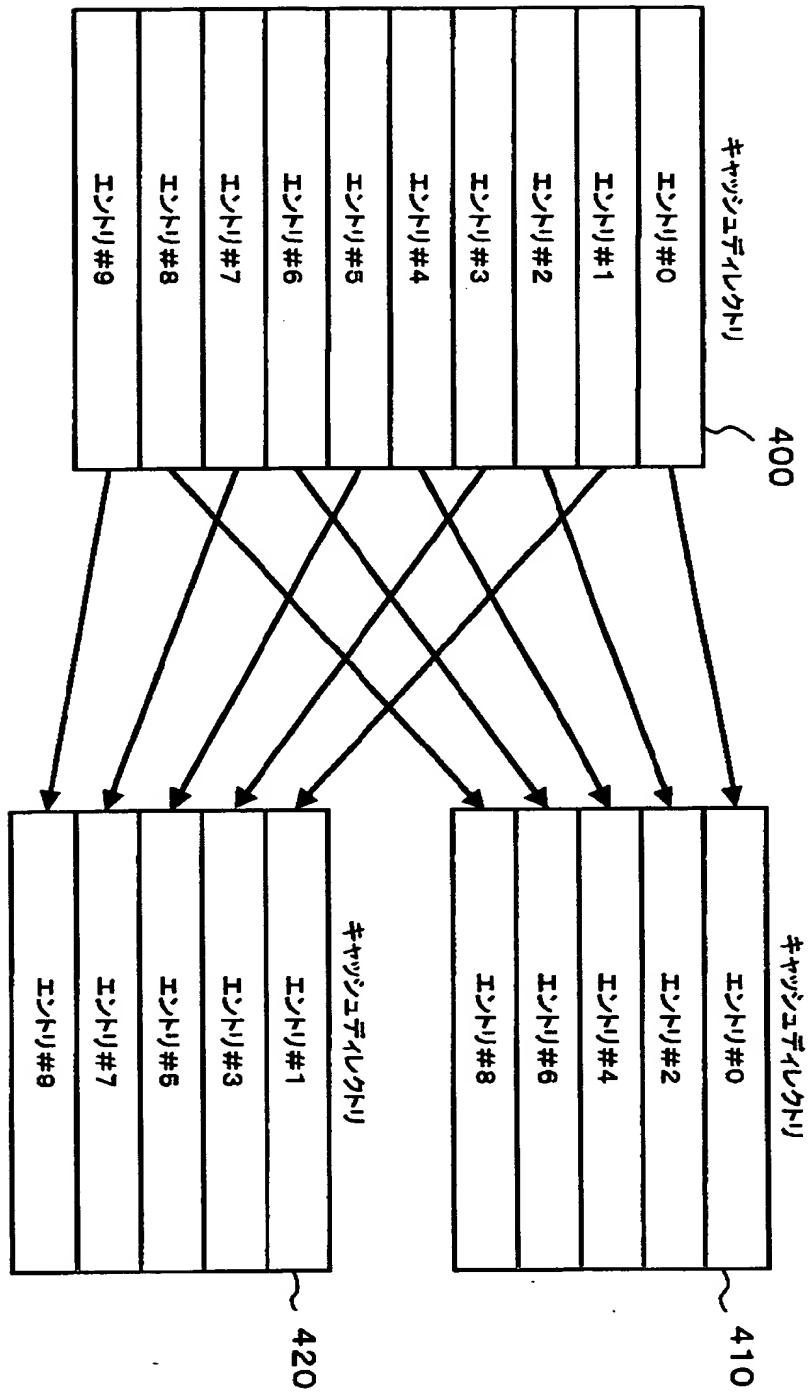


【図 4】

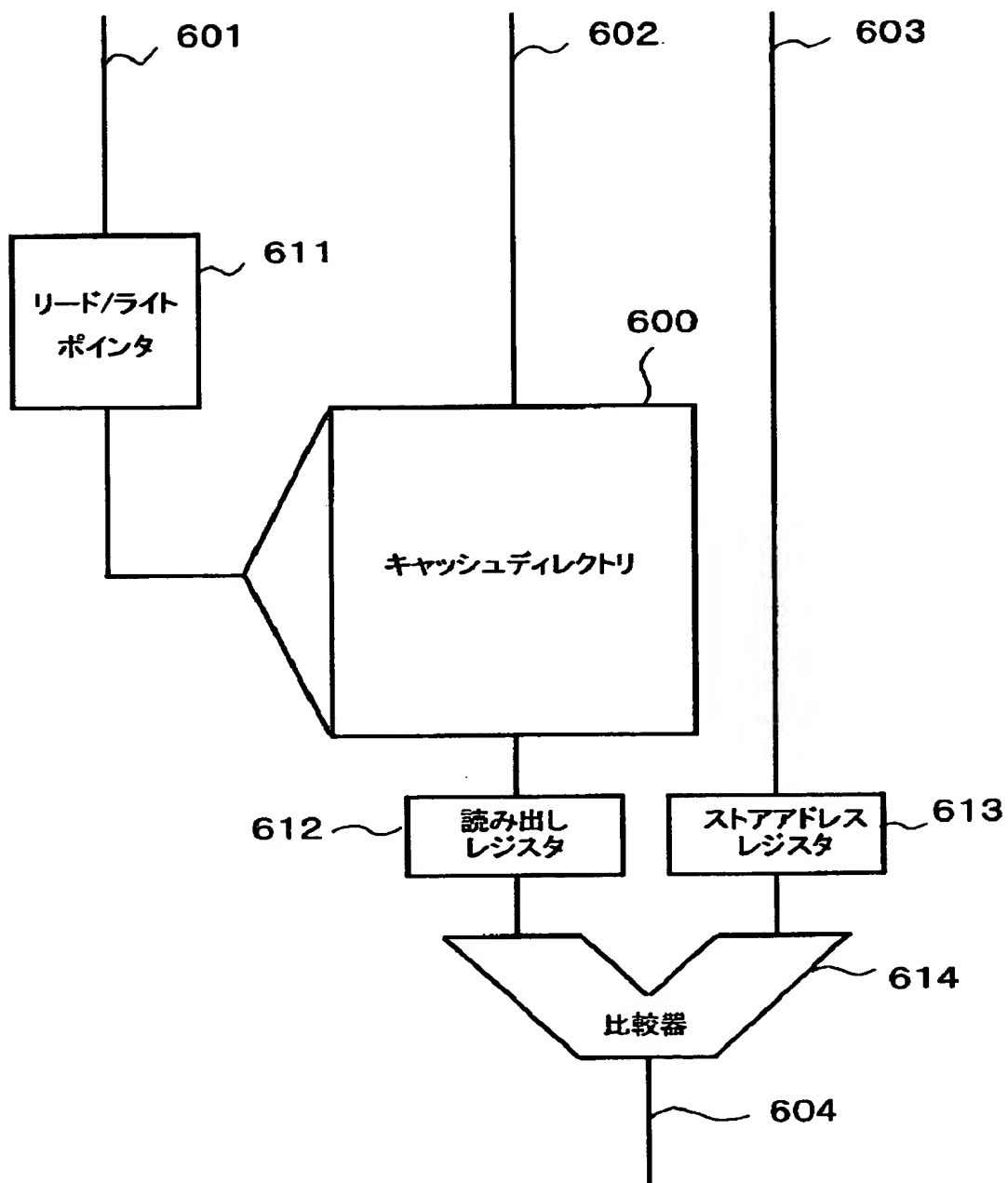




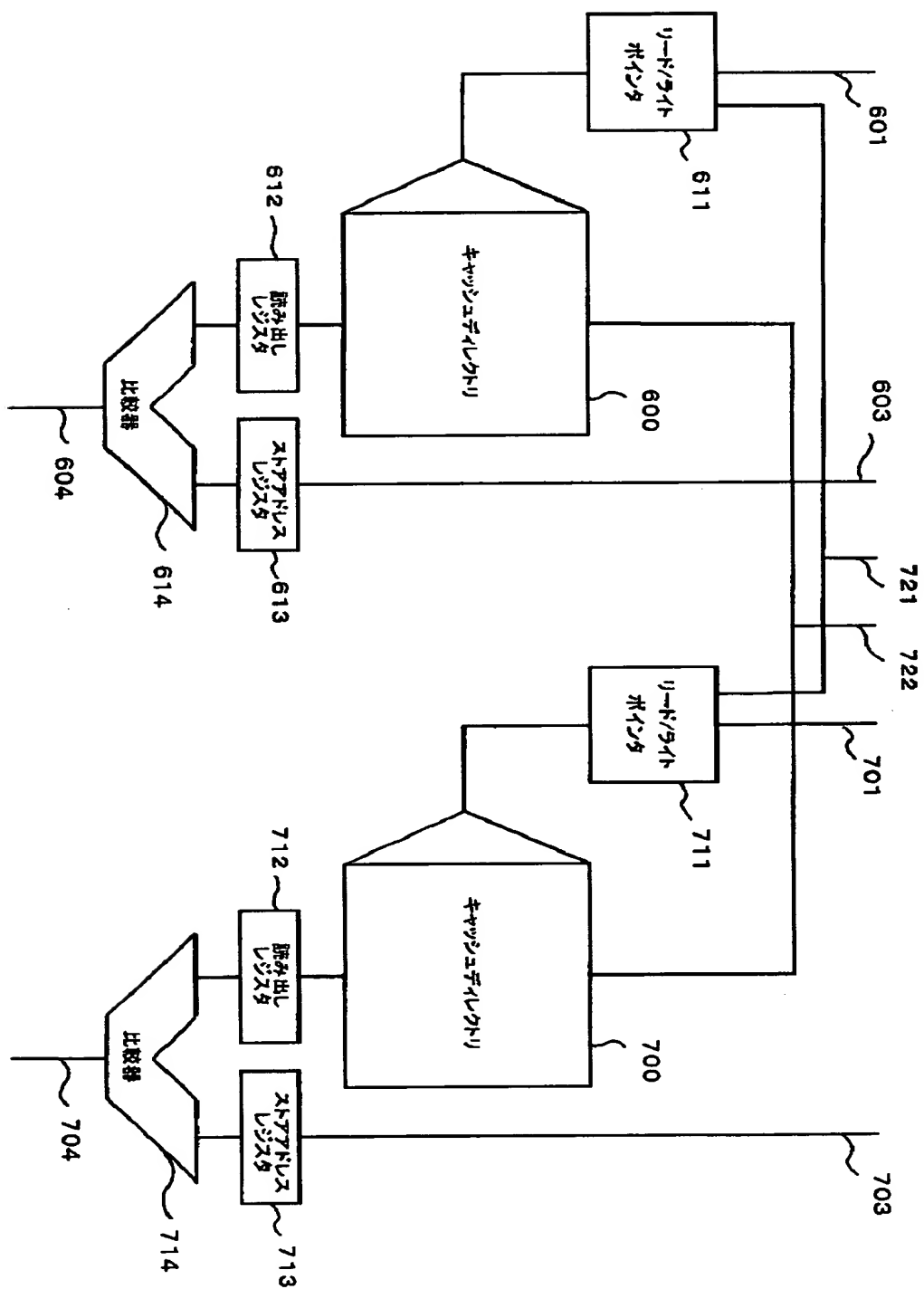
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 キャッシュ一致保証制御のためのキャッシュディレクトリのハードウェア物量を抑え、かつ、高いキャッシュディレクトリ検索性能を実現する。

【解決手段】 本来のキャッシュディレクトリ 2 0 0 を構成する各エントリのアドレスタグを 2 分割して、各々独立に並列動作が可能なキャッシュディレクトリ 2 1 0、2 2 0 とする。キャッシュディレクトリ 2 1 0、2 2 0 を用いて、各々、検索要求を同時に処理し、不一致であれば、当該検索処理を終了し、一致した場合のみ、他のキャッシュディレクトリの検索を行う。各処理装置が主記憶のアドレスを局所的に使用する場合、一方のキャッシュディレクトリでほとんど不一致と判断されるため、キャッシュディレクトリの物量は従来のみ、従来より高いキャッシュディレクトリ検索性能が実現する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所